

Inhalt

1	Einführung	1
1.1	Allgemeine Einführung.....	1
1.2	Rechnerarchitektur-Begriff.....	4
1.3	Definitionen.....	6
1.4	Software-Architektur.....	6
1.5	Hardware-Architektur.....	8
1.6	Prinzipieller Rechneraufbau.....	9
1.7	Hardware-Kosten eines Rechnersystems.....	12
1.8	Wichtige Kenngrößen einer Rechnerarchitektur	13
2	Technologische Grundlagen	15
2.1	Einführung.....	15
2.2	Integration in der Chip-Technologie.....	15
2.3	Prozessor-Design und Hardware-Implementierung.....	19
2.4	Energieprobleme in Rechnersystemen.....	27
2.5	SOI-Technologie	33
3	Einfachst-Rechner.....	37
3.1	Einführung.....	37
3.2	Architektur-Entscheidungen.....	37
3.3	Funktions-Einheiten.....	38
3.3.1	Logische Einheit	38
3.3.2	Steuerung der ALU	39
3.3.3	Die Register	40
3.3.3.1	Funktion der Register	40
3.3.3.2	Register-Implementierung	41
3.3.4	Multiplexer.....	44
3.3.5	Der Hauptspeicher	45
3.3.6	Bussystem	47
3.3.7	Ablaufsteuerung.....	49
3.3.8	Das Steuerwerk	52
3.3.9	Steuerwerk eines Einfachstreckners	56
3.3.9.1	Spezifikation des Steuerwerkes	57
3.3.9.2	Modellierung des Steuerwerkes als endlicher Automat.....	66
3.3.9.3	Schaltwerk des Steuerwerkes	70
3.3.10	Ein- und Ausgabe-Einheit	81
3.3.11	Unterschiede zu realen Rechner-Implementierungen	82

4	Adressierung	87
4.1	Einführung	87
4.2	Universalregister-Maschinen	88
4.3	Byte Ordering	90
4.4	Befehlsarten	93
4.5	Registersatz der Zentraleinheit	94
4.6	Befehlsformat und Adressierungsarten	94
4.7	64 Bit-Architekturen	97
5	Speichernutzung	99
5.1	Einführung	99
5.2	Aufteilung des Hauptspeichers	99
5.3	Speicherschutz	102
5.4	Multitasking und Multiprogrammierung	103
5.4.1	Multitasking	103
5.4.2	Multiprogrammierung	103
5.4.3	Speicherschutz in multiprogrammierten Betriebssystemen	105
5.4.4	Speicherzerstückelung	110
5.4.5	Overlay-Technik	111
6	Virtuelle Speicher	113
6.1	Einführung	113
6.2	Virtueller und realer Adressraum	113
6.3	Adressumsetzung	114
6.4	Demand Paging	119
6.5	Prozessverwaltung	122
6.5.1	Einfache virtuelle Speicher	122
6.5.2	Mehrfacher virtueller Speicher	123
6.5.2.1	DEC VAX-Architektur	124
6.5.2.2	IBM /390-Architektur	129
6.5.2.3	Motorola-IBM-Architekturen	132
6.5.3	Seitengrößen	136
6.6	Lokalitäts-Prinzip	138
6.7	Seiten-Attribute	140
6.8	Adressumsetzpuffer	141
6.8.1	Voll-assoziativer Adressumsetzpuffer	143
6.8.1.1	Aufbau und Funktionsweise	143
6.8.1.2	Adressumsetzpuffer-Ersetzungs-Algorithmen	146
6.8.2	Set-assoziativer Adressumsetzpuffer	150
6.9	Der externe Seitenspeicher	155

7 Virtuelle Speicherverwaltung in Multiprogrammsystemen	159
7.1 Funktionsweise.....	159
7.2 Gemeinsame Seitentafel verschiedener Prozesse	161
7.3 Ein- /Ausgabe-Operationen.....	162
8 Segmentierung	165
8.1 Einführung.....	165
8.2 IBM RS/6000 Segmentierung	167
8.3 IBM ESA/370 (/390) Segmentierung.....	168
8.4 Segmentierung der Intel-Architekturen	169
9 Hauptspeicher.....	173
9.1 Hauptspeicher-Technologien.....	173
9.2 Implementierungsarten einer Speicherzelle.....	175
9.2.1 Statische Speicherzelle	175
9.2.2 Dynamische Speicherzelle.....	176
9.2.2.1 Funktionsweise	176
9.2.2.2 Fehlererkennung und -korrektur	177
9.2.2.3 Zuverlässigkeit und Fehler-Codes	180
9.3 Adressierung des Hauptspeichers	186
9.4 Preisgestaltung von Hauptspeicher-Chips	190
9.5 Erweiterungsspeicher (expanded storage)	192
9.6 Extended Refresh Devices	196
9.7 Techniken zur Beschleunigung der Hauptspeicherzugriffe.....	197
9.7.1 Einführung.....	197
9.7.2 Speicherverschachtelung (Memory Interleaving)	198
9.7.3 Cache-Speicher.....	200
9.7.3.1 Technologie.....	200
9.7.3.2 Cache-Prinzip.....	201
9.7.3.3 Cache ohne virtuelle Speichertechnik	202
9.7.3.4 Leistungsfähigkeit des Cache-Speichers	212
9.7.3.5 Datengültigkeit.....	216
9.7.3.6 Nachladen des Cache.....	217
9.7.3.7 L1 -, L2-Cache	220
9.7.3.8 Cache mit virtueller Speichertechnik.....	222
9.7.4 Prefetch-Buffer	223
9.7.5 Pro und Kontra Havard-Architektur.....	224
10 Mikroprogrammierung.....	225
10.1 Horizontale Mikroprogramme	229
10.2 Vertikale Mikroprogramme.....	230
10.3 Adressierung mittels Statusinformation.....	231

10.4	Zweistufige Mikroprogramme	232
10.5	High Level Microcode	235
11	Pipelines.....	237
11.1	Einführung	237
11.2	Daten- und Steuerfluss	239
11.2.1	Datenflusskonflikt.....	241
11.2.2	Steuerflusskonflikt	243
11.2.2.1	Delayed Branch	244
11.2.2.2	Branch Prediction	244
11.2.2.3	Branch History Table.....	246
11.3	Pipeline-Speedup	248
12	RISC-Architektur	249
12.1	Einführung	249
12.2	Theoretische Eigenschaften von RISC-Architekturen.....	250
12.3	Praktische Merkmale moderner RISC-Implementierungen.....	252
12.4	Moderne RISC-Architekturen.....	253
12.5	RISC-Identifikation.....	258
12.6	Swing-Architekturen	259
13	Leistungsverhalten von Rechnern	261
13.1	Einführung	261
13.2	CPU-Leistung	261
13.3	Hauptspeicher-Effizienz	264
13.4	E/A-Leistung.....	267
13.5	Benchmark	269
13.5.1	Einführung.....	269
13.5.2	Whetstone-Benchmark	269
13.5.3	Dhrystone.....	270
13.5.4	Linpack	271
13.5.5	SPEC-Benchmarks	271
13.5.6	TPC-Benchmarks.....	272
13.5.7	Hard- und Software-Monitore.....	274
14	Superskalare Architekturen.....	275
14.1	Einführung	275
14.2	Superskalare Architekturen.....	277
14.3	Der Intel Pentium als ein Beispiel superskalarer Architekturen	280
14.4	Superpipelining	282
14.4.1	DEC Alpha	284
14.4.2	Intel 80860	285
14.4.3	IBM RS/6000	291
14.5	VLIW-Architekturen	295

15	Dynamic Execution.....	301
15.1	Einführung.....	301
15.2	Pentium Pro.....	301
15.2.1	P6-Branch Prediction.....	305
15.2.2	Mittlerer Teil der P6-Pipeline.....	308
15.2.2.1	Speculative Execution.....	310
15.2.2.2	Register Renaming.....	310
15.2.2.3	Out of Order Execution.....	311
15.2.3	Reservation Station.....	312
15.2.4	Memory Reorder Buffer.....	314
15.3	P6-kompatible Rechnerarchitekturen.....	315
15.4	Pentium 4.....	316
15.4.1	Trace-Cache.....	318
15.4.2	Die Pipeline.....	318
15.4.3	Rapid Execution Engine.....	322
15.5	Entwicklungs-Tendenzen.....	323
16	Reale 64 Bit-Architekturen.....	325
16.1	IA-64.....	325
16.1.1	Befehlsformat.....	328
16.1.2	Assembler-Format.....	331
16.1.3	Predication.....	333
16.1.4	Control Speculation.....	336
16.1.5	Data Speculation.....	338
16.1.6	Software Pipelining.....	340
16.1.7	Register der IA-64-Architektur.....	344
16.1.8	Register Stack.....	346
16.1.9	Itanium-Implementierung.....	348
16.2	X86-64.....	350
16.3	MIPS64.....	353
16.3.1	MIPS64-Architektur.....	353
16.3.2	5Kf.....	353
16.3.3	20Kc.....	354
16.4	Sun Ultra Sparc III.....	355
16.5	IBM Power 4.....	356
17	Vektorrechner.....	359
17.1	Einführung.....	359
17.2	CDC CYBER 205.....	361
17.3	Cache-Speicher.....	366
17.4	Register.....	367
17.4.1	Steuerregister.....	367
17.4.2	Vektorregister.....	368

Inhalt	
17.5	CRAY-Vektorrechner.....369
17.6	Leistung von Vektorrechnern372
17.7	Entwicklungs-Trends.....375
18	Hardware-Komponenten zur Unterstützung des Betriebssystems..... 377
18.1	Einführung377
18.2	Privilegstufen.....377
18.3	Stapel380
18.4	Unterbrechungen.....385
19	Ein- und Ausgabe-Organisation..... 393
19.1	Einführung393
19.2	Plattenspeicher.....394
19.2.1	Magnetische Plattenspeicher394
19.2.2	Optische Plattenspeicher396
19.2.3	Holographische Speicher398
19.3	Festplattenspeicher-Ansteuerung398
19.4	Ein-/Ausgabe-Befehle.....401
19.5	Arten der Ein-/Ausgabe402
20	Parallelrechner 405
20.1	Einführung405
20.2	Klassifizierung.....405
20.2.1	Tightly coupled MIMD-Architekturen.....407
20.2.2	Loosely coupled MIMD-Architekturen412
20.3	Leistung von Parallelrechnern.....421
20.4	Datenabhängigkeit.....423
21	Multimedia-Rechner..... 427
21.1	Einführung427
21.2	Multimediale Datenverarbeitung427
21.3	Multimedia-Erweiterungen428
21.3.1	SIMD430
21.3.2	MMX.....430
21.3.3	SSE431
21.3.4	SSE2.....431
	Literaturverzeichnis 433
	Stichwortverzeichnis 439